

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

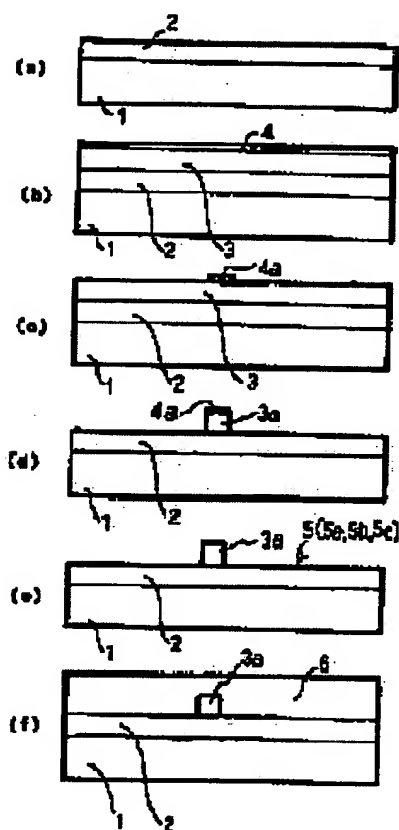
PRODUCTION OF OPTICAL WAVEGUIDE

Patent number: JP7333452
Publication date: 1995-12-22
Inventor: IMOTO KATSUYUKI
Applicant: HITACHI CABLE LTD
Classification:
 - International: G02B6/13; G02B6/12
 - european:
Application number: JP19940128584 19940610
Priority number(s):

Abstract of JP7333452

PURPOSE: To produce an optical waveguide ensuring a small loss in the wavelength range of 0.6-1.6 μ m.

CONSTITUTION: A buffer layer 2 of Si_3N_4 and a core layer 3 of SiO_xNyHz are successively formed on a substrate 1 by low temp. plasma CVD at $\leq 450^\circ\text{C}$, the core layer 3 is patterned by photolithography to form a core pattern 3a and the surface of the substrate 1 with the formed core pattern 3a is coated with a cladding layer 6 of SiO_2 by low temp. plasma CVD at $\leq 450^\circ\text{C}$ to produce an optical waveguide. At this time, the substrate 1 with the formed core pattern 3a is heat-treated at a high temp. of 1,000-1,300 $^\circ\text{C}$ for at least 1hr in a nitrogen- contg. atmosphere.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-333452

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 B 6/13 6/12			G 0 2 B 6/12	M N
審査請求 未請求 請求項の数5 O L (全 7 頁)				

(21) 出願番号 特願平6-128584

(22) 出願日 平成6年(1994)6月10日

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 井本 克之

茨城県土浦市木田余町3550番地 日立電線

株式会社アドバンスリサーチセンタ内

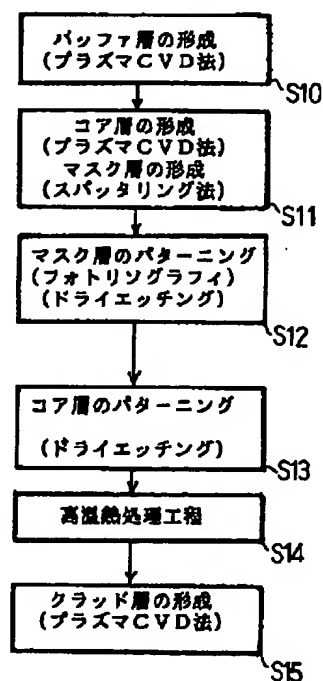
(74) 代理人 弁理士 網谷 信雄

(54) 【発明の名称】 光導波路の製造方法

(57) 【要約】

【目的】 波長0.6 μ mから1.6 μ mの範囲における損失が小さい光導波路の製造方法を提供する。

【構成】 基板1上にSiO₂からなるバッファ層2とSiO_xNyHzからなるコア層3とを450℃以下の低温プラズマCVD法により順次形成し、フォトリソグラフィを施してコア層3をパターンニングしてコアパターン3aを形成し、コアパターン3aが形成された基板1の表面に450℃以下の低温プラズマCVD法を施してSiO₂からなるクラッド層6で覆った光導波路の製造方法において、コアパターン3aが形成された基板1を、窒素を含んだ雰囲気中で1000℃～1300℃の温度で少なくとも1時間高温熱処理したことを特徴としている。



1

【特許請求の範囲】

【請求項1】 基板上に SiO_2 からなるバッファ層と SiO_xNyHz からなるコア層とを 450°C 以下の低温プラズマCVD法により順次形成し、フォトリソグラフィを施してコア層をパターンニングしてコアパターンを形成し、コアパターンが形成された基板の表面に 450°C 以下の低温プラズマCVD法を施して SiO_2 からなるクラッド層で覆った光導波路の製造方法において、上記コアパターンが形成された基板を、窒素を含んだ雰囲気中で $1000^\circ\text{C}\sim 1300^\circ\text{C}$ の温度で少なくとも1時間高温熱処理したことを特徴とする光導波路の製造方法。

【請求項2】 基板上に SiO_2 からなるバッファ層と SiO_xNyHz からなるコア層とを 450°C 以下の低温プラズマCVD法により順次形成し、フォトリソグラフィを施してコア層をパターンニングしてコアパターンを形成し、コアパターンが形成された基板の表面に 450°C 以下の低温プラズマCVD法を施して SiO_2 からなるクラッド層で覆った光導波路の製造方法において、上記コア層の上に予め保護層を形成すると共に該保護層とコア層とをパターンニングしてコアパターンを形成し、コアパターンが形成された基板を、窒素を含んだ雰囲気中で $1000^\circ\text{C}\sim 1300^\circ\text{C}$ の温度で少なくとも1時間高温熱処理したことを特徴とする光導波路の製造方法。

【請求項3】 上記低温プラズマCVD法の代わりに減圧CVD法、常圧CVD法、電子ビーム蒸着法及びスパッタリング法のいずれかをを用いた請求項1又は2記載の光導波路の製造方法。

【請求項4】 上記バッファ層、上記コア層、上記保護層及び上記クラッド層の中に屈折率制御用添加物を少なくとも1種類含ませた請求項1から3のいずれか一項記載の光導波路の製造方法。

【請求項5】 上記コア層の中に希土類元素を少なくとも1種類含ませた請求項1から4のいずれか一項記載の光導波路の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、波長 $0.6\mu\text{m}$ から $1.6\mu\text{m}$ の範囲にわたって損失波長特性を向上させた光導波路の製造方法に関する。

【0002】

【従来の技術】図7は本発明者が先に提案した光導波路の断面図である（特開平5-181031号）。

【0003】同図において光導波路は、基板1（ SiO_2 あるいは Si ）上にバッファ層（ SiO_2 あるいは SiO_2 に屈折率制御用添加物を少なくとも1種類添加したもの）2を形成し、その上に略矩形状のコアパターン（ $\text{Si}_x\text{O}_y\text{N}_z$ あるいは $\text{Si}_x\text{O}_y\text{N}_z$ に屈折率制御用添加物を少なくとも1種類添加したもの）3aを形成し、コアパターン3a全体をクラッド層（バッファ層2

2

と同種の材料）6で覆ったものである。この構成ではコアパターン3aに窒素を添加した $\text{Si}_x\text{O}_y\text{N}_z$ を用いているので、窒素の含有量を調節することにより、コアパターン3aとクラッド層（あるいはバッファ層）6との比屈折率差 $\Delta = (n_w - n_c) / n_w \times 100\%$ 、 n_w ＝コアの屈折率、 n_c ＝クラッドの屈折率）を最大7%程度まで大きくとることができる。この比屈折率差 Δ を大きくとることにより、導波路型光部品（マッハツェンダ型光フィルタ、光リング共振器、光方向性結合器など）のサイズを大幅に小さくすることができる。

【0004】図8は図7に示した光導波路の製造工程を示す図であり、図9は図7に示した各製造工程における光導波路の断面を示す図である。

【0005】図8及び図9において、基板1上にバッファ層2を形成する。このバッファ層2は 270°C の低温プラズマCVD法によって形成される（S1、図9（a））。

【0006】バッファ層2の上にコア層3を形成する。このコア層3も 270°C の低温プラズマCVD法によって形成される（S2）。

【0007】このコア層3の上にスパッタリング法を用いてマスク用のWSi層4を形成する。このWSi層4の形成も 300°C 以下の低温で行われる（S3、図9（b））。

【0008】WSi層4の上にフォトリソグラフィ法によってフォトレジストパターン（図示せず）を形成し、このフォトレジストパターンをマスクにしてドライエッチングによってWSi層をパターンニングし、WSiパターン4aを形成する（S4、図9（c））。

【0009】このドライエッチングは 10^{-2}torr 以下の真空中に保たれた 300°C 以下のプラズマ雰囲気中の反応容器（図示せず）内に半製品5を置き、 NF_3 ガスを流して行う。次に上述したWSiパターン4aをマスクにしてコア層3をドライエッチングし、パターンニングを行ってコアパターン3aを形成する。尚、ドライエッチングに用いるガスとしては CHF_3 を用いる（S5、図9（d））。

【0010】その後コアパターン3a上のWSiマスクパターン4aをドライエッチングにより除去する（この工程は図示せず）。最後にコアパターン3aを覆うようにクラッド層6を形成する。このクラッド層6も前述した低温プラズマCVD法によって行う（S6、図9（e））。

【0011】図7に示した光導波路は 300°C 以下の低温で形成することができる特徴がある。これは基板1の上面、あるいは基板1の内部、さらには基板1の下面に電子回路素子や光能動素子が予め形成されている場合には、これらの素子に損傷を与えることなく光導波路を形成することができるという利点がある。

【0012】図10は図8に示した方法で形成した光導

3

波路の損失波長特性を示す図であり、横軸が波長を示し、縦軸が損失を示している。

【0013】この損失波長特性の測定に用いた光導波路の長さは5cmであり、比屈折率差 Δ は2%である。同図より波長0.6 μ mから波長1.34 μ mまでの範囲においては極めて損失が低いことがわかる。特に光導波路の光源として多用される半導体レーザ素子の発振波長1.3 μ mにおける損失が0.12dB/cmと極めて低い値を示している。

【0014】

【発明が解決しようとする課題】ところが従来の光導波路には以下のような問題点があった。

【0015】(1) 光導波路中にはOH基が多量に含まれており、このOH基による吸収損失(波長1.39 μ mにおける吸収ピーク)が非常に大きいことがわかった。この吸収損失は波長1.35 μ mから1.5 μ m帯にかけて損失を増大させる要因になっていた。

【0016】(2) また光導波路中にはSi-H基も多量に含まれており、波長1.49 μ m付近に大きな吸収損失をもたらしている。しかもこの吸収損失は、波長1.4 μ mから1.6 μ mの範囲にわたって裾を引いており、この波長範囲での損失を大幅に増大させている。

【0017】(3) 上記(1)及び(2)による吸収損失は、コア層3をSiH₄とN₂OとN₂ガスをを用いた低温(270℃)プラズマCVD法によって形成しているため、コア層3中にOH基及びSi-H基が残存した結果によって生じているものと考えられていた。

【0018】そこでコア層3を形成する際の温度を450℃に上げて行ってみたが、あまり損失は減少しなかった。次の対策として、図8(b)に示したコア層3を形成した後に、高温熱処理を施すことを試みた。高温熱処理温度として500℃、1000℃、1200℃の3種類の試料(以下「半製品」という。)を評価した結果、500℃の高温熱処理ではOH基による吸収損失は約8dB程度減少させることができ、1.39 μ mでの損失を7dB程度まで低くすることができた。

【0019】しかしまだOH基はコア層3中に残っていることがわかった。Si-H基による吸収損失も波長1.49 μ mにおいて、約10dB減少させることができたが、まだ多量のSi-H基がコア層3中に残存していた。次に1000℃及び1200℃の温度で熱処理した半製品を電気炉内から取り出してみると、コア層3中に多くのクラックが生じていることがわかり、1000℃以上の高温熱処理は困難であることがわかった。これは、基板1、パッド層(いずれもSiO₂)2とコア層(Si_xN_yH_z)3との熱膨張係数の違い、厚いパッド層(約6 μ m)及びコア層(約6 μ m)3の成膜による層内への残留応力による影響などが起因しているものと考えられる。

【0020】もう一つの対策として図9(e)に示すク

4

ラッド層6を形成した後に、前述と同様の高温熱処理を施した半製品を製作したが、この場合も1000℃及び1200℃の温度で熱処理した半製品にはクラックが生じた。しかも前述の高温熱処理を施した半製品のクラックよりも多くのクラックが生じた。さらに、基板1自体が反ってしまった。これはクラッド層(SiO₂)6を10 μ m以上も形成しているため、より応力の差によるクラックが著しく発生したものと考えられる。

【0021】このように波長1.35 μ mから波長1.6 μ mの範囲にわたって光導波路を低損失化することが困難であった。

【0022】そこで、本発明の目的は、上記課題を解決し、波長0.6 μ mから1.6 μ mの範囲における損失が小さい光導波路の製造方法を提供することにある。

【0023】

【課題を解決するための手段】上記目的を達成するために本発明は、基板上にSiO₂からなるパッド層とSiO_xN_yH_zからなるコア層とを450℃以下の低温プラズマCVD法により順次形成し、フォトリソグラフィを施してコア層をパターニングしてコアパターンを形成し、コアパターンが形成された基板の表面に450℃以下の低温プラズマCVD法を施してSiO₂からなるクラッド層で覆った光導波路の製造方法において、コアパターンが形成された基板を、窒素を含んだ雰囲気中で1000℃～1300℃の温度で少なくとも1時間高温熱処理したものである。

【0024】また、本発明は基板上にSiO₂からなるパッド層とSiO_xN_yH_zからなるコア層とを450℃以下の低温プラズマCVD法により順次形成し、フォトリソグラフィを施してコア層をパターニングしてコアパターンを形成し、コアパターンが形成された基板の表面に450℃以下の低温プラズマCVD法を施してSiO₂からなるクラッド層で覆った光導波路の製造方法において、コア層の上に予め保護層を形成すると共に保護層とコア層とをパターニングしてコアパターンを形成し、コアパターンが形成された基板を、窒素を含んだ雰囲気中で1000℃～1300℃の温度で少なくとも1時間高温熱処理したものである。

【0025】本発明は上記構成に加えて、低温プラズマCVD法の代わりに減圧CVD法、常圧CVD法、電子ビーム蒸着法及びスパッタリング法のいずれかを用いてもよい。

【0026】本発明は上記構成に加えて、パッド層、コア層、保護層及びクラッド層の中に屈折率制御用添加物を少なくとも1種類含ませてもよい。

【0027】本発明は上記構成に加えて、コア層中に希土類元素を少なくとも1種類含ませてもよい。

【0028】

【作用】上記構成によれば、コアパターンが露出した基板に高温熱処理が施されるので、コアパターン中のOH

5

基及びSi-OH基を容易にコアパターン外に拡散させることができ、OH基及びSi-OH基による吸収損失を大幅に低減させることができる。この結果波長0.6 μm から1.6 μm までの広い範囲にわたって損失が低い光導波路を実現することができる。

【0029】また光導波路は高温熱処理を施してもコアパターンにクラックも入らず基板の反りも極めて少ない。これはコアパターンのパターン幅が数 μm から20 μm 程度の範囲で狭く、またコアパターンは基板上のバッファ層にまばらにしか存在しないため、熱膨張係数の10 差や残留応力によるクラックの発生は生じにくいので無視することができる。さらにSiO_xN_yH_zのコアパターンは窒素雰囲気中で熱処理され、コアパターン中の窒素の拡散も少ないので、コアパターンの屈折率変化も小さい。

【0030】コアパターンの上にSiO₂の保護層が設けられている場合には、高温熱処理によるOH基及びSi-H基のコア層外への拡散、放出はパターンニングしたコア層の両側面で行われる。但しSiO₂からなる保護層の厚さが薄いので保護層を通して若干のOH基及びS 20 i-H基の拡散、放出が行われる。この保護層により、コアパターンの上部の構造不整による散乱損失を大幅に減少させることができる。またコアパターン中の窒素のコアパターン外への拡散を抑圧する効果があり、熱処理前後によるコアパターンの屈折率変化を小さくすることができる。

【0031】低温プラズマCVD法の代わりに、種々の方法を用いて成膜することができ、製造方法の自由度が高いため光導波路を経済的に製造することができる。例えば減圧CVD法や常圧CVD法はより安価な装置を用 30 いて行うことになるので、経済的である。また、電子ビーム蒸着法やスパッタリング法ではSi₃N₄とSiO₂を用いて成膜するので、コアパターン中にOH基及びSi-H基がほとんど入らない。また、高真空中で成膜することができるので、より緻密で均質な層を形成することができる。

【0032】バッファ層、コア層、保護層及びクラッド層の材料や屈折率の選択範囲を広げることができるので、基板の反りの抑制や比屈折率差 Δ を高くすることが容易となる。

【0033】

【実施例】以下、本発明の実施例を添付図面に基いて詳述する。

【0034】図1は本発明の光導波路の製造方法の一実施例を示す工程図であり、図2は図1に示した各製造工程における光導波路の断面を示す図である。図3は図1に示した方法により製造された光導波路の平面図である。尚、従来例と同様の部材には同一の符号を用いた。

【0035】図1及び図2において、S10～S13の工程は図8に示した工程S1～S5と同様である。従来 50

6

例との相違点は、コア層をパターンニングした後に高温熱処理を施す点である。

【0036】まずプラズマCVD法を用いて基板1上にバッファ層2を形成する(S10、図2(a))。

【0037】バッファ層2の上にコア層3を形成する。このコア層3の上にスパッタリング法を用いてマスク用のWSi層4を形成する(S11、図2(b))。

【0038】WSi層4の上にフォトリソグラフィ法によってフォトレジストパターン(図示せず)を形成し、このフォトレジストパターンをマスクにし、ドライエッチングによってWSi層をパターンニングしてWSiパターン4aを形成する(S12、図2(c))。

【0039】WSiパターン4aをマスクにしてコア層3をドライエッチングし、パターンニングを行ってコアパターン3aを形成する(S13、図2(d))。

【0040】コアパターン3a上のWSiマスクパターン4aをドライエッチングにより除去した後に高温熱処理を施す(S14、図2(e))。

【0041】高温熱処理終了後、コアパターン3a上にプラズマCVD法を施してクラッド層6を形成することにより光導波路が得られる(S15、図2(f))。

【0042】次に作用について説明する。

【0043】コアパターン3aの3面(上面、左側面、右側面)が露出した状態で高温熱処理を施すので、コアパターン3a中に残存しているOH基及びSi-H基の成分をコアパターン3a外に拡散、放出させることが容易である。このためOH基及びSi-OH基による吸収損失を大幅に低減させることができる。

【0044】ところでステップS11の工程が終了した段階で高温熱処理を施すことにより、コアパターン3a中にクラックが発生することが懸念される。しかし光導波路は図3に示すようにコアパターン3aの幅Wが狭く(数 μm から20数 μm 程度)、かつコアパターン3aはバッファ層2上の表面にまばらに存在しており、コアパターン3aとバッファ層2とが接している部分の面積が極めて少ないので、熱膨張係数の違いや残留応力によってクラックが発生することがない。

【0045】ステップS14の高温熱処理工程終了後、クラッド層6の形成を行うが、コアパターン3aやバッファ層2は高温熱処理によって緻密な層に変わるので、クラッド層6とコアパターン3a及びバッファ層2との間の密着性が高くすることができる。これも高温熱処理による効果の一つでもある。

【0046】次に具体的な数値について述べるが限定されるものではない。

【0047】基板1には直径3インチ(約7.6cm)、厚さ1mmの石英ガラスを用い、バッファ層2にはSiH₄、N₂Oガス、O₂ガスを用いて約270℃の低温プラズマCVD法によりSiO₂膜を形成した。このSiO₂膜の厚さは約6 μm である。

7

【0048】コア層3には SiH_4 、 N_2O 、 N_2 ガスを用いて270℃の低温プラズマCVD法により、 SiO_xNyHz 膜を形成した。その膜の屈折率は約1.485(波長0.63 μm において)、膜厚は約5 μm であった。コアパターン3aの上にスパッタリング装置を用いて厚さ約1 μm の WSi 膜4を形成した。その後フォトリソグラフィにより WSi 膜4の上に膜厚約1 μm のフォトレジストパターンを形成した。次にこのフォトレジストパターンをマスクにしてドライエッチングを施し、 WSi 膜4をパターン化した。ついで WSi パターン4aをマスクにしてコア層3をパターン化してコアパターン3aを形成した。その後コアパターン3aの上の WSi 膜4をドライエッチングにより除去した。次に電気炉内に第1の半製品5aを入れ、電気炉内に N_2 ガスを流しながら(N_2 ガス流量約5リットル/分)、約1.5時間で500℃まで上げ、その後、500℃の温度で3時間保ち、3時間かけて室温まで下げた。また第2の半製品5bについては、約1.5時間かけて1000℃まで温度を上げ、その後3時間保温した後約4時間かけて室温まで下げた。さらに第3の半製品5cとし、約1.5時間かけて1200℃まで上げ、3時間1200℃に保温した後、約4時間かけて室温まで下げた。以上の3種類の半製品上5a、5b、5cに SiO_2 のクラッド層6を約10 μm 、低温(270℃)プラズマCVD法によって形成することにより光導波路が得られた。

【0049】図4は図1に示した方法によって製造した光導波路の損失波長特性と従来の製造方法による光導波路の損失波長特性を示す図であり、横軸が波長を示し、縦軸が損失を示している。さらに同図において破線が従来の光導波路の損失波長特性を示し、一点鎖線が500℃で熱処理した光導波路の損失波長特性を示し、実線が1200℃で熱処理した光導波路の損失波長特性をそれぞれ示している。

【0050】同図より明らかなように、従来の光導波路の損失波長特性よりも本発明の製造方法による光導波路の方が損失が少ないことがわかる。すなわち、500℃で熱処理することにより、OH基による吸収損失は10dB近くも低減することができた。また Si-H 基による吸収損失も10dB近く低減することができた。しかし、まだ Si-H 基による吸収損失の低減は十分ではない。これに対して1200℃で熱処理するとOH基による吸収損失は略完全に除去することができ、また Si-H 基による吸収損失も20dB以上も減少させることができた。尚、図4には1000℃で熱処理した結果については図示しなかったが、この場合にはOH基による吸収損失は略完全に除去することができ、 Si-H 基による吸収損失も18dB程度低減することができた。このことから熱処理温度としては1000℃から1300℃の範囲が好ましいといえる。熱処理時の雰囲気ガスとし

8

て、 N_2 以外に O_2 を用いてみたが、この場合にはコア層の屈折率が大きく変化してしまい好ましくないことがわかった。さらに熱処理時間についても高温に保温する時間を1時間から5時間の範囲で変化させて光導波路を試作し、損失波長特性を評価した結果、保温時間が長い程OH基及び Si-H 基による吸収損失を低くできることがわかった。但し、上述した時間よりもさらに長い時間保温すると、コア層の屈折率が変化しやすくなってしまい不都合が生じてしまうので、上述した保温時間範囲が適切と考えられる。昇温速度及び降温速度についても保温時間と同様な結論が言える。

【0051】図5は本発明の光導波路の製造方法の他の実施例の製造工程を示す図であり、図6は図5に示した各製造工程における光導波路の断面を示す図である。

【0052】同図において、ステップS20～S22に示す工程は図1に示したステップS10～S13に示す工程と同様である。

【0053】図1に示した実施例との相違点は、コアパターン3aの上に保護層7(7a)を形成する工程と保護層7をパターンニングする工程S23とが付加された点である。この保護層7(7a)は SiO_2 あるいは SiO_2 にB、P、Ti、Al、F等の屈折率制御用添加物を含んだもの、さらには屈折率がコア層3の屈折率($n_w=1.480\sim 1.50$)よりも低い値(1.450～1.475)の SiO_xNyHz を用いる。そしてこの保護層7(7a)の厚さは0.1 μm から2 μm の範囲から選ばれる。但し保護層7があまり厚くなると高温熱処理の際にコアパターン3a中のOH基及び Si-H 基が拡散してコアパターン3a外へ放出しにくくなる。なお、この保護層7はステップS25の工程で示したように試作した光導波路のクラッド層6の一部として作用させることができる。この保護層7(7a)の効果についてはすでに前述した通りであるが、それ以外に次のような効果もある。すなわち、ステップS23に示した工程において WSi のマスクパターンをマスクにして保護層7(7a)及びコア層3をドライエッチングしてパターン化させる。その後保護層7(7a)の上の WSi をドライエッチングにより除去するが、このとき、保護層7(7a)の上表面は WSi のエッチングガス(NF_3)によって荒れてしまう。もし保護層7(7a)がなければコアパターン3aの上面が荒れ、光導波路の散乱損失が増加してしまうが、この構成では保護層7(7a)によってコアパターン3aの上面が保護されているので、上述のような散乱損失の増加は生じない。

【0054】本実施例ではコア層3に SiO_xNyHz を用いたが、これに限定されるものではなく SiO_xNyHz にGe、P、F、B等の屈折率制御用添加物を少なくとも1種類含んでもよい。またパッド層2、保護層7(7a)及びクラッド層6も SiO_2 以外に、 SiO_2 に上述したような屈折率制御用添加物を少なく

9

とも1種類含んでいてもよい。さらに基板1にはSiO₂のようなガラス基板の他にSiのような半導体基板を用いてもよい。またクラッド層6の表面は必ずしも図1に示したような平坦でなく、凹凸を有していてもよい。

【0055】

【発明の効果】以上要するに本発明によれば、次のような優れた効果を発揮する。

【0056】コアパターンが露出した基板に高温熱処理を施すので、クラックが生じたり、基板が反ったりせずに、光導波路中に含まれていたOH基及びSi-H基を大幅に減少させることにより波長0.6μmから1.6μmの広い範囲にわたって低損失特性を得ることができる。

【図面の簡単な説明】

【図1】本発明の光導波路の製造方法の一実施例を示す工程図である。

【図2】図1に示した各製造工程における光導波路の断面を示す図である。

【図3】図1に示した方法により製造された光導波路の平面図である。

【図4】図1に示した方法によって製造した光導波路の

10

*損失波長特性と従来の製造方法による光導波路の損失波長特性を示す図である。

【図5】本発明の光導波路の製造方法の他の実施例の製造工程を示す図である。

【図6】図5に示した各製造工程における光導波路の断面を示す図である。

【図7】本発明者が先に提案した光導波路の断面図である。

【図8】図7に示した光導波路の製造工程を示す図である。

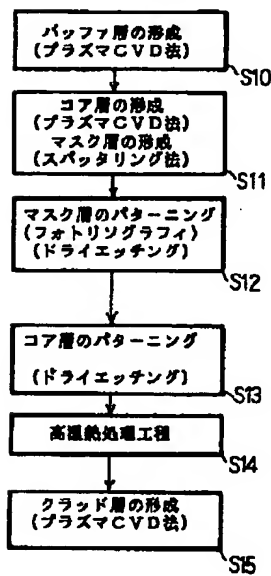
【図9】図7に示した各製造工程における光導波路の断面を示す図である。

【図10】図8に示した方法で形成した光導波路の損失波長特性を示す図である。

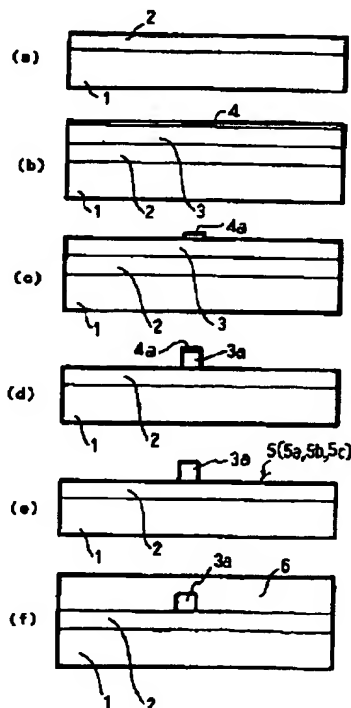
【符号の説明】

- 1 基板
- 2 バッファ層
- 3 コア層
- 3a コアパターン
- 6 クラッド層

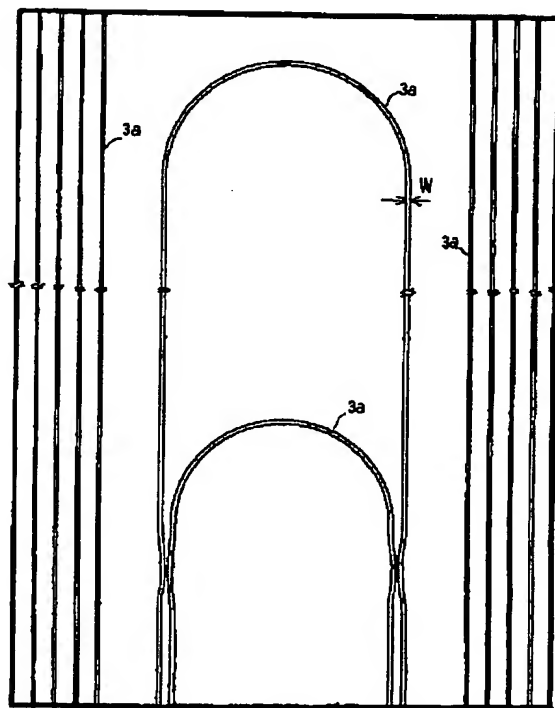
【図1】



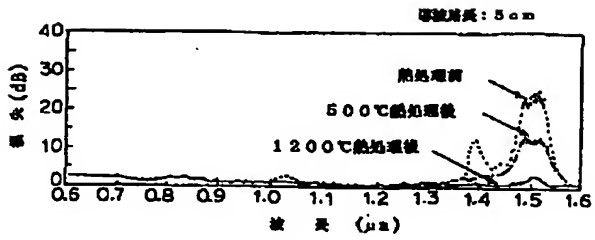
【図2】



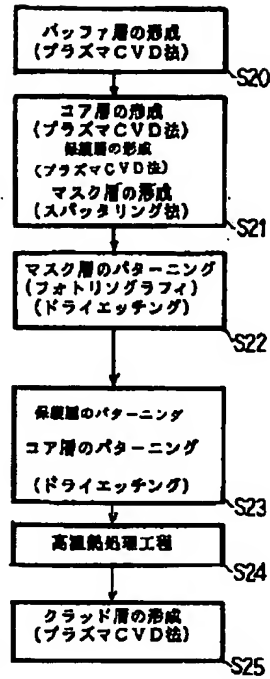
【図3】



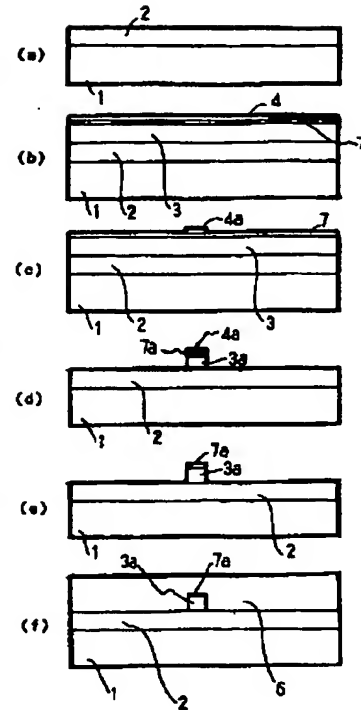
【図 4】



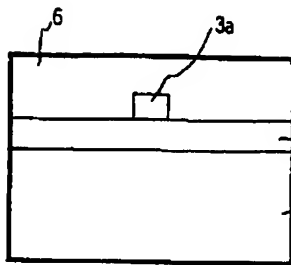
【図 5】



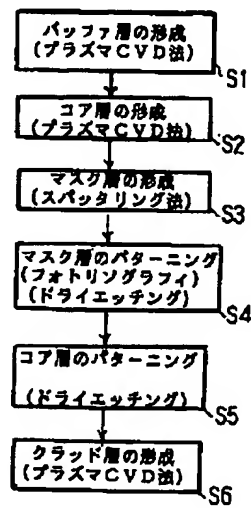
【図 6】



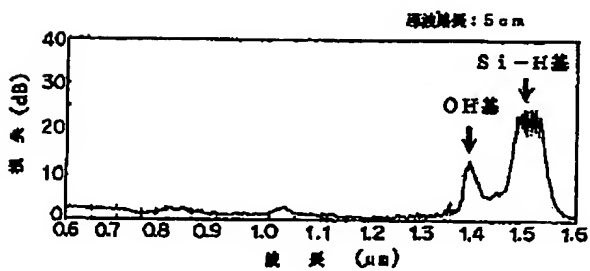
【図 7】



【図 8】



【図 10】



【図 9】

